

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Patent Application of)	
)	
Soichi KOBAYASHI et al.)	Group Art Unit: Unassigned
)	
Application No.: Unassigned)	Examiner: Unassigned
)	
Filed: August 4, 2003)	Confirmation No.: Unassigned
)	
For: SEMICONDUCTOR INTEGRATED)	
CIRCUIT CAPABLE OF TESTING)	
WITH SMALL SCALE CIRCUIT)	
CONFIGURATION)	

CLAIM FOR CONVENTION PRIORITY

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

The benefit of the filing date of the following prior foreign application in the following foreign country is hereby requested, and the right of priority provided in 35 U.S.C. § 119 is hereby claimed:

Japanese Patent Application No. 2003-073951

Filed: March 18, 2003

In support of this claim, enclosed is a certified copy of said prior foreign application. Said prior foreign application was referred to in the oath or declaration. Acknowledgment of receipt of the certified copy is requested.

Respectfully submitted,

BURNS, DOANE, SWECKER & MATHIS, L.L.P.

Date: August 4, 2003

By: 

Platon N. Mandros
Registration No. 22,124

P.O. Box 1404
Alexandria, Virginia 22313-1404
(703) 836-6620

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2003年 3月18日

出 願 番 号

Application Number:

特願2003-073951

[ST.10/C]:

[JP2003-073951]

出 願 人

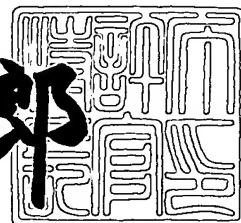
Applicant(s):

三菱電機株式会社

2003年 4月15日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田 信一郎



出証番号 出証特2003-3026952

【書類名】 特許願

【整理番号】 543034JP01

【提出日】 平成15年 3月18日

【あて先】 特許庁長官殿

【国際特許分類】 G11C 29/00

G11C 11/34

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社
社内

【氏名】 小林 聡一

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社
社内

【氏名】 山崎 義明

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社
社内

【氏名】 島津 之彦

【特許出願人】

【識別番号】 000006013

【氏名又は名称】 三菱電機株式会社

【代理人】

【識別番号】 100064746

【弁理士】

【氏名又は名称】 深見 久郎

【選任した代理人】

【識別番号】 100085132

【弁理士】

【氏名又は名称】 森田 俊雄

【選任した代理人】

【識別番号】 100083703

【弁理士】

【氏名又は名称】 仲村 義平

【選任した代理人】

【識別番号】 100096781

【弁理士】

【氏名又は名称】 堀井 豊

【選任した代理人】

【識別番号】 100098316

【弁理士】

【氏名又は名称】 野田 久登

【選任した代理人】

【識別番号】 100109162

【弁理士】

【氏名又は名称】 酒井 將行

【手数料の表示】

【予納台帳番号】 008693

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体集積回路

【特許請求の範囲】

【請求項 1】 テストモード時に、活性化されたワード線に接続されている各メモリセルから読出されたデータの値と、前記各メモリから読出されるべき期待値とを、カラムごとに比較する比較器と、

前記比較器による比較結果に基づくエラーデータを累積保持するエラーレジスタとを備え、

前記エラーデータの各ビットは、対応するカラムについての前記比較器による比較結果を示し、

前記各ビットは、前記対応するカラムについての比較結果がどのワード線を活性化したときでも常に等しいときには、第 1 の論理値をとり、前記対応するカラムについての比較結果が一度でも異なるときには、第 2 の論理値をとる、半導体集積回路。

【請求項 2】 前記半導体集積回路は、共通の内部データバスに接続され、テストモード時には、メモリセルからの読出し動作が同時に行なわれる複数個のモジュールを有し、

前記各モジュールは、

テストモード時には、メモリセルから読出されたデータを内部データバスへ出力させないスイッチ回路を備えた、請求項 1 記載の半導体集積回路。

【請求項 3】 前記半導体集積回路は、それぞれのチップセレクト信号によって動作が制御される複数個のモジュールを有し、

前記各モジュールは、

テストモード時には、前記チップセレクト信号の値の如何に係らず、メモリセルからのデータの読出し処理または書込処理の制御を行なう制御回路を備える、請求項 1 記載の半導体集積回路。

【請求項 4】 前記複数個のモジュールは、共通の内部アドレスバスを通じて送られる共通のアドレス信号が入力され、前記複数個のモジュールのワード線の数異なるときに、

前記ワード線の数が最大ではないモジュールにおける前記制御回路は、

アドレス信号を構成する 1 個以上の所定のビットの値が所定の値のときのみ、
前記チップセレクト信号の値の如何に係らず、メモリセルからのデータの読出し
処理または書込処理の制御を行ない、

前記所定のビットは、テストモード時に、前記ワード線数が最大のモジュール
内のワード線の特定に用いられ、かつ自己のモジュールのワード線の特定には用
いられないビットである、請求項 3 記載の半導体集積回路。

【請求項 5】 前記半導体集積回路は、共通のアドレス信号が入力され、前
記アドレス信号を構成する 1 個以上のビットによって動作が制御される複数の
バンクを有し、

前記各バンクは、

テストモード時には、前記動作の制御を行なうアドレス信号を構成する 1 個以
上のビットの値の如何に係らず、メモリセルからのデータの読出し処理または書
込処理の制御を行なう制御回路を備える、請求項 1 記載の半導体集積回路。

【請求項 6】 前記半導体集積回路は、カラム単位の冗長回路を有する、請
求項 1 記載の半導体集積回路。

【請求項 7】 前記エラーレジスタは、アドレス信号が所定の値を示すとき
に、保持しているエラーデータを出力し、

前記エラーデータを受けて、前記冗長回路を用いて欠陥のあるメモリセルを救
済するための救済コードを生成する救済コード生成回路とを備えた請求項 6 記載
の半導体集積回路。

【請求項 8】 前記半導体集積回路は、

少なくとも 1 つのヒューズ素子を含み、前記ヒューズ素子の状態に応じた救済
コードを出力するプログラム回路と、

救済コードを保持するレジスタと、

前記プログラム回路から出力される救済コード、および前記レジスタから出力
される救済コードのいずれかを選択して出力するセレクタと、

前記セレクタから出力される救済コードに応じて、欠陥のあるメモリセルの救
済の制御を行なう救済制御回路とを備えた請求項 7 記載の半導体集積回路。

【請求項 9】 前記半導体集積回路は、

少なくとも 1 つのヒューズ素子を含み、前記ヒューズ素子の状態に応じた救済コードを出力するプログラム回路と、

救済コードを保持するレジスタと、

前記プログラム回路から出力される救済コード、および前記レジスタから出力される救済コードのいずれかを選択して出力するセレクトと、

前記セレクトから出力される救済コードに応じて、欠陥のあるメモリセルの救済の制御を行なう救済制御回路と、

2 段階のテストの実行を制御するプロセッサとを備え、

前記プロセッサは、第 1 段階のテストにおいて、前記救済制御回路により救済を行なわせることなく、メモリセルへのテストデータの書込み、およびメモリセルからのテストデータの読出しを制御し、

前記第 1 段階のテストによって前記エラーレジスタに格納されたエラーデータに応じた救済コードを生成して前記レジスタに格納させ、

第 2 段階のテストにおいて、前記セレクトに、前記レジスタからの救済コードを出力させて前記救済制御回路による救済を行なわせつつ、メモリセルへのテストデータの書込み、およびメモリセルからのテストデータの読出しを制御する、請求項 6 記載の半導体集積回路。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、半導体集積回路に関し、特に、テスト機能を有する半導体集積回路に関する。

【0 0 0 2】

【従来の技術】

従来から、冗長回路（スペアメモリ）を内蔵した半導体集積回路が知られている。

【0 0 0 3】

たとえば、特許文献 1 では、テコーダを有するメモリアレイと、外部制御ピン

によりテストモードを設定した際にアドレス、読出し／書込み制御信号、書込みデータ、読出し期待値データを制御クロックに応じて生成する第 1 の制御回路と、前記メモリアレイの読出し結果と前記読出し期待値データを比較する第 1 の比較器と、この第 1 の比較器の出力に応じて不一致時に該当アドレスを記憶するアドレスレジスタと、通常動作時に該アドレスレジスタ内アドレスと外部アドレスの比較を行う第 2 の比較器と、この第 2 の比較器の出力結果に対応して前記メモリアレイとスペアメモリを切替えてアクセスする第 2 の制御回路とを具備した半導体集積回路が開示されている。

【0 0 0 4】

【特許文献 1】

特開平 1 - 2 2 4 9 9 8 号公報

【0 0 0 5】

【発明が解決しようとする課題】

しかしながら、上述の特許文献 1 では、次のような問題がある。

【0 0 0 6】

まず、冗長回路の数だけのアドレスレジスタが必要となる。そのため半導体集積回路の規模が大きくなる。

【0 0 0 7】

また、冗長回路の数よりもエラーの回数、つまり読出し結果と読出し期待値が異なる回数が多いときには、超過分のエラーが発生したアドレスは、アドレスレジスタに記憶できないので、エラーが発生したメモリセルの位置をすべて特定することができない。

【0 0 0 8】

それゆえに、本発明の目的は、回路の規模を大きくすることなく、冗長回路の数よりもエラーの回数が多い場合でも、エラーのあったメモリセルの位置を特定することができるテストを行なう半導体集積回路を提供することである。

【0 0 0 9】

【課題を解決するための手段】

上記課題を解決するために、この発明に係わる半導体集積回路は、テストモー

ド時に、活性化されたワード線に接続されている各メモリセルから読出されたデータの値と、各メモリから読出されるべき期待値とを、カラムごとに比較する比較器と、比較器による比較結果に基づくエラーデータを累積保持するエラーレジスタとを備える。エラーデータの各ビットは、対応するカラムについての比較器による比較結果を示す。各ビットは、対応するカラムについての比較結果がどのワード線を活性化したときでも常に等しいときには、第1の論理値をとり、対応するカラムについての比較結果が一度でも異なるときには、第2の論理値をとる。

【0010】

【発明の実施の形態】

以下、本発明の実施の形態について、図面を用いて説明する。

【0011】

＜第1の実施形態＞

本実施の形態は、2つのモジュールを含む半導体集積回路におけるメモリテストに関する。

【0012】

（構成）

図1は、第1の実施形態に係る半導体集積回路の構成を示す。同図を参照して、この半導体集積回路100は、2つのモジュールA、Bと、外部バスI/F8と、救済コード生成回路4とを含む。2つのモジュールA、Bとは、共通の内部アドレスバスおよび共通の内部データバスに接続され、通常時には、それぞれのチップセレクト信号によって動作が制御される。

【0013】

（モジュールA）

モジュールAは、SRAMセルアレイ51aと、ゲート回路41aと、ワードドライバ5aと、アドレスデコーダ6aと、制御回路7aと、比較器（CMP）11aと、エラーレジスタ12aと、アドレスデコーダ13aと、トライステートバッファ14aと、NOR回路20と、AND回路21と、OR回路22と、プログラム回路30aとを含む。

応するワード線を活性化させる。

【0019】

アドレスデコーダ13aは、アドレス信号が所定の値のときに「1」（アサート）となる信号を出力する。

【0020】

トライステートバッファ14aは、アドレスデコーダ13aから出力される信号が「1」（アサート）のときに、エラーレジスタ12aに保持されているエラーデータを内部データバスを通じて外部バスI/F8および救済コード生成回路4へ出力する。

【0021】

ゲート回路41aは、カラムごとに、つまり各ビット線対ごとに、入出力回路9aとトライステートバッファ10aとを含む。

【0022】

入出力回路9aは、書込み時には、内部アドレスバスを介して送られる書込みデータをビット線対へ送り、読出し時には、ビット線対のデータを増幅して、読出しデータとしてトライステートバッファ10aおよび比較器11aへ出力する。

【0023】

トライステートバッファ10aは、一種のスイッチ回路であり、メモリテストモード信号が「1」（アサート）のときに、入出力回路9aから出力される読出しデータを内部データバスへ出力せず、メモリテストモード信号が「0」（ネゲート）のときに、入出力回路9aから出力される読出しデータを内部データバスへ出力する。これによって、メモリテストモード時には、メモリセルから読出された読出しデータは、内部データバスへ出力されない。これは、メモリテストモード時には、他のモジュールBにおいても、同時にメモリセルからデータが読出されるので、内部データバスにおいて双方の読出しデータが衝突することを防止するためである。

【0024】

メモリテストモード時には、外部制御信号にしたがって、メモリテストモード

信号が「1」（アサート）となる。また、通常時には、外部制御信号にしたがって、モジュールAを選択するときには、チップセレクト信号CS1が「1」（アサート）となる。

【0025】

NOR回路20、AND回路21、およびOR回路22によって、メモリテストモード信号が「1」（アサート）で、かつアドレス信号の18ビット目と19ビット目がいずれも「0」のとき、またはチップセレクト信号CS1が「1」（アサート）のときに、OR回路22からアサートの信号が制御回路7aに送られる。

【0026】

制御回路7aは、SRAMセルアレイ51aへのデータの書込み、およびSRAMセルアレイ51aへのデータの読出しの制御を行なう。制御回路7aは、OR回路22からの信号がアサートのときにのみ、SRAMセルアレイ51aへのデータの書込みまたは読出し処理を行なわせる。これによって、メモリテストモード時には、チップセレクト信号CS1の値の如何に係らず、SRAMセルアレイ51aへのデータの書込みまたは読出しが行なわれる。

【0027】

これにより、モジュールAでは、メモリテストモード信号が「1」（アサート）のときには、アドレス信号の18ビット目と19ビット目が「00」のときのみ、読出しまたは書込み処理が行なわれ、アドレス信号の18ビット目と19ビット目が「01」のとき、「10」のとき、または「11」のときには、読出しまたは書込み処理が行なわれない。これにより、メモリテスト時に、同一のワード線が複数回活性化されるのを防止できる。

【0028】

比較器11aは、一方で、外部から内部データバスを通じて32ビットの期待値が入力される。入力される期待値の各ビットの値は、その各ビットに対応するカラムから正しくデータが読出されるとき値である。比較器11aは、他方で、SRAMセルアレイ51aの32個のカラムからの読出しデータが入力される。比較器11aは、期待値と読出しデータをカラムごとに、つまり1ビットずつ

、比較を行なう。

【 0 0 2 9 】

エラーレジスタ 1 2 a は、比較結果に基づく 3 2 ビットのエラーデータを保持する。エラーデータの各ビットは、対応するカラムについての比較結果を示す。この各ビットは、どのワード線を活性化したときでも、比較結果が等しいときには、「0」となり、どれか 1 つのワード線を活性化したときに、比較結果が異なるときがあったときには、「1」となる。

【 0 0 3 0 】

(モジュール B)

モジュール B の構成は、モジュール A の構成と概ね共通する。ただし、モジュール B の SRMA セルアレイ 5 1 b は、行方向に 4 K 個、列方向に 3 3 個のメモリセルを含む。このうちの 1 列は、冗長回路である。SRAM セルアレイ 5 1 b 内のメモリセルの選択のため、ワード線が 4 K 個、ビット線対が 3 3 個備えられている。

【 0 0 3 1 】

また、モジュール B は、NOR 回路 2 0、AND 回路 2 1、および OR 回路 2 2 は含まず、OR 回路 2 3 を含む。。

【 0 0 3 2 】

メモリテストモード時には、外部制御信号にしたがって、メモリテストモード信号が「1」（アサート）となる。また、通常時には、外部制御信号にしたがって、モジュール B を選択するときには、チップセレクト信号 CS 2 が「1」（アサート）となる。OR 回路 2 3 は、メモリテストモード信号が「1」（アサート）のとき、または、チップセレクト信号 CS 2 が「1」（アサート）のときにアサートとなる信号を制御回路 7 b に出力する。

【 0 0 3 3 】

制御回路 7 b は、SRAM セルアレイ 5 1 b へのデータの書込み、および SRAM セルアレイ 5 1 b へのデータの読出しの制御を行なう。制御回路 7 b は、OR 回路 2 3 から出力される信号がアサートのときにのみ、SRAM セルアレイ 5 1 b へのデータの書込みまたは読出し処理を行なわせる。これによって、メモリ

テストモード時には、チップセレクト信号CS2の値の如何に係らず、SRAMセルアレイ51bへのデータの書込みまたは読出しが行なわれる。

【0034】

外部バスI/F8は、外部からのアドレス信号を内部アドレスバスへ出力し、外部からのデータを内部データバスへ出力するとともに、内部データバスを通じて送られるデータを外部へ出力し、外部からの制御信号をその制御信号に関連する構成要素へ出力する。

【0035】

救済コード生成回路4は、エラーレジスタ12a, bからデータバスを介して送られてくる32ビットのエラーデータに基づいて1つの不良カラムを特定し、6ビットの救済コードを生成する。6ビットの救済コードの各ビットは、下位ビットから順に、C0、C1、C2、C3、C4、およびC5とする。救済コード生成回路4は、複数の不良カラムがあるときには、1つの不良カラムを選択して、救済コードを生成する。図2は、不良のあるカラムと救済コードとの対応を示す。これによって、エラーレジスタ12a, bに保持されているメモリテスト結果であるエラーデータを用いて、欠陥救済を行なうことができる。

【0036】

(欠陥救済に関連する構成)

図3は、欠陥救済に関連する半導体集積回路内の構成要素を示す。

【0037】

同図では、モジュールAに関しての欠陥救済のための回路を示すが、モジュールBについても同様である。SRAMセルアレイ51aは、カラムリダンダンシ付きSRAMセルアレイであり、1つのスペアカラムを有する。

【0038】

プログラム回路30aは、6個のヒューズ素子F0、F1、F2、F3、F4、およびF5を含み、各ヒューズ素子の設定状態に応じた6ビットの救済コードを出力する。図4は、各ヒューズ素子の状態と救済コードのビットとの対応を示す図である。たとえば、ヒューズ素子F0の状態が非切断のときに、救済コードのビットC0が「0」に設定され、ヒューズ素子F0の状態が切断のときに、救

済コードのビットC0が「1」に設定される。

【0039】

デコーダ31aおよび32個のセレクタ35は、救済制御回路81aを構成する。この救済制御回路81aにより、欠陥のあるメモリセルの救済の制御が行なわれる。

【0040】

デコーダ31aは、プログラム回路30aから出力される6ビットの救済コードより、32ビットのスペアセレクタ制御信号を出力する。

【0041】

図5は、プログラム回路30aの各ヒューズ素子の状態とスペアセレクタ制御信号との対応を示す。たとえば、第30カラムが不良の場合には、プログラム回路30に設定されるヒューズ素子F0、F1、F2、F3、F4、F5の状態は、それぞれ1、1、1、1、0、1となる。ここで、状態が「0」は、非切断を示し、状態が「1」は、切断を示す。プログラム回路30aは、この各ヒューズ素子の状態によって、救済コード6' b111101を出力する。デコーダ31は、図5に示す対応表に基づいて、このヒューズ素子の状態に対応して、32' b0000 0000 0000 0000 0000 0000 0000 0011のスペアセレクタ制御信号を生成する。

【0042】

セレクタ35は、各カラムに対応して設けられており、スペアセレクタ制御信号が入力される。セレクタ35は、スペアセレクタ制御信号の対応するビットが「0」の場合には、対応するカラムのビット線対を、対応する入出力回路9aと接続し、対応するビットが「1」の場合には、右隣のカラムのビット線対を、対応する入出力回路9aと接続する。

【0043】

図5の対応表より、第K番目のカラムが不良になった場合には、K番目～31番目のカラムに対応する各セレクタは、それぞれ、(K+1)番目～31番目、およびスペアカラムを選択する。たとえば、32' b0000 0000 0000 0000 0000 0011のスペアセレクタ制

御信号が入力されたときには、第 n 番目 ($n = 0 \sim 29$) のカラムに対応するセレクトは、それぞれ第 n 番目 ($n = 0 \sim 29$) のカラムを選択する。第 30 番目のカラムに対応するセレクトは、第 31 番目のカラムを選択する。第 31 番目のカラムに対応するセレクトは、スペアカラムを選択する。これにより、不良のある第 30 番目のカラムへのデータの書込みおよび読出しは、行なわれない。

【0044】

(動作)

次に、テスト動作に係る各種信号の時間変化を示す図 6 を参照して、この半導体集積回路 100 のテスト時の動作について説明する。

【0045】

まず、1 サイクルごとに、書込み／読出し制御信号 R/W が変化して、書込みと読出しが交互に行なわれる。

【0046】

書込みサイクルにおいて、内部アドレスバスを介してロウアドレス信号が入力されると、そのロウアドレスに対応するワード線が活性化する。

【0047】

そして、活性化されたワード線に接続している各メモリセルに、内部データバスを介して入力される 32 ビットのテストデータ $32'h01010101$ の対応するビットの値が書込まれる。

【0048】

次に、読出しサイクルにおいて、1 サイクル前の書込みサイクルで与えられたロウアドレスと同一のロウアドレスが与えられ、そのロウアドレスに対応するワード線が活性化する。

【0049】

そして、活性化されたワード線に接続している 32 個すべてのメモリセルからのデータが 32 ビットの読出しデータとして出力される。

【0050】

ここで、モジュール A では、書込んだテストデータと同一のデータが読出しデータとして、常に出力されとする。すなわち、読出しデータは、常に、 $32'h01010101$

h 0 1 0 1 0 1 0 1 とする。

【 0 0 5 1 】

モジュール A の比較器 1 1 a は、期待値、つまり書込みを行なったテストデータと、読出しデータとの比較を行なう。モジュール A では、書込んだテストデータと同一のデータが読出しデータとして出力されるので、比較結果は等しくなる。

【 0 0 5 2 】

モジュール A の比較器 1 1 a は、エラーが発生したビット線対がなかったことを示す 3 2 ビットデータ、3 2' h 0 0 0 0 0 0 0 0 をエラーデータとしてモジュール A のエラーレジスタ 1 2 a に出力する。

【 0 0 5 3 】

一方、モジュール B では、ロウアドレスが 3 2' h 0 0 0 0 0 0 0 2 のときに、書込んだテストデータと異なるデータが読出しデータとして出力されるものとする（図 6 中の（1）に示す）。

【 0 0 5 4 】

モジュール B の比較器 1 1 b は、期待値、つまり書込みを行なったテストデータと、読出しデータとの比較を行なう。モジュール B では、書込んだテストデータと異なるデータが読出しデータとして出力されるので、比較結果は、異なる。

【 0 0 5 5 】

モジュール B の比較器 1 1 b は、エラーがあったビット線対を特定する 3 2 ビットデータ、すなわち 3 2' h 0 0 0 0 0 0 1 0 をエラーデータとして出力する（図 6 中の（2）に示す）。

【 0 0 5 6 】

モジュール B のエラーレジスタ 1 2 b は、一度でもビット値が「1」となったビットは、この値を保持する（図 6 中の（3）に示す）。

【 0 0 5 7 】

上述の終了がすべてのロウアドレスについて行なわれた後、内部アドレスバスを介して、モジュール A のエラーレジスタ 1 2 a に保持されているエラーデータの読出しを指示するアドレス信号 3 2' h 1 0 0 0 0 0 0 0 が入力されると、

モジュールAのアドレスデコータ13aおよびトライステートバッファ14aによって、モジュールAのエラーレジスタ12aに保持されているエラーデータが内部データバス、および外部バスI/Fを介して外部へ出力される（図6中の（4）に示す）。

【0058】

また、内部アドレスバスを介して、モジュールBのエラーレジスタ12bに保持されているエラーデータの読出しを指示するアドレス信号32'h10000001が入力されると、モジュールBのアドレスデコータ13bおよびトライステートバッファ14bによって、モジュールBのエラーレジスタ12bに保持されているエラーデータが内部データバス、および外部バスI/Fを介して外部へ出力される（図6中の（5）に示す）。

【0059】

以上のように本実施の形態に係る半導体集積回路によれば、複数のモジュールを含む場合において、32個のカラムのエラーの有無を示す32ビットのエラーデータがエラーレジスタ12a, bに保持されるので、回路の規模を大きくすることなく、冗長回路の数よりもエラーの回数が多い場合でも、エラーのあったメモリセルが含まれるカラムをすべて特定したテストを行なうことができる。

【0060】

<第2の実施形態>

本実施の形態は、2つのバンクを含む半導体集積回路におけるメモリテストに関する。

【0061】

（構成）

図7は、第2の実施形態に係る半導体集積回路の構成を示す。同図を参照して、この半導体集積回路200は、2つのバンクA, Bを有し、バンクAは、SRAMセルアレイ53aで構成され、バンクBは、SRAMセルアレイ53bで構成される。2つのバンクA, Bは、共通の内部アドレスバスおよび共通の内部データバスに接続される。2つのバンクA, Bは、通常時には、アドレス信号の17ビット目によって動作が制御される。

【 0 0 6 2 】

また、この半導体集積回路 2 0 0 は、2 つのバンクに共通のアドレスデコーダ 8 7 および O R 回路 9 0 と、ゲート回路 4 3 a , b と、アドレスデコーダ 1 3 a , b と、比較器 1 1 a , b と、エラーレジスタ 1 2 a , b と、トライステートバッファ 1 4 a , b と、制御回路 8 8 a , b と、ワードドライバ 8 5 a , b と、O R 回路 9 1 , 9 3 と、インバータ 9 2 とを含む。

【 0 0 6 3 】

アドレスデコーダ 8 7 は、ロウコーダおよびカラムデコーダからなる。

ロウデコーダは、内部アドレスバスを通じて送られるアドレス信号の所定の複数ビットで構成されるロウアドレスにしたがって、活性化するバンク A およびバンク B のワード線を特定する。

【 0 0 6 4 】

カラムデコーダは、内部アドレスバスを通じて送られるアドレス信号の所定の複数ビットで構成されるカラムアドレスにしたがって、バンク A およびバンク B のカラムを選択する。カラムデコーダは、メモリテストモード時には、すべてのカラムを選択する。

【 0 0 6 5 】

メモリテストモード時には、外部制御信号にしたがって、メモリテストモード信号が「1」（アサート）となる。また、通常時には、外部制御信号にしたがって、チップセレクト信号 C S 3 が「1」（アサート）となるとともに、バンク A を選択するときには、アドレス信号の 1 7 ビット目が「1」となり、バンク B を選択するときには、3 2 ビットのアドレス信号の 1 7 ビット目が「0」となる。

【 0 0 6 6 】

O R 回路 9 0 は、メモリテストモード信号が「1」（アサート）、またはチップセレクト信号 C S 3 が「1」（アサート）のときに、アサートとなる信号を制御回路 8 8 a , b に出力する。

【 0 0 6 7 】

O R 回路 9 1 は、メモリテストモード信号が「1」（アサート）、またはアドレス信号の 1 7 ビット目が「1」のときに、アサートとなる信号を制御回路 8 8

a およびワードドライバ 8 5 a へ出力する。

【 0 0 6 8 】

OR回路 9 2 は、メモリテストモード信号が「1」（アサート）、またはアドレス信号の 1 7 ビット目が「0」のときに、アサートとなる信号を制御回路 8 8 b およびワードドライバ 8 5 b へ出力する。

【 0 0 6 9 】

制御回路 8 8 a は、SRAMセルアレイ 5 3 a へのデータの書込み、およびSRAMセルアレイ 5 3 a へのデータの読出しの制御を行なう。制御回路 8 8 a は、OR回路 9 0 からの信号がアサートで、かつOR回路 9 1 からの信号がアサートのとき、つまり、メモリテストモード時、または通常時でチップおよびバンク A が選択されたときにのみ、バンク A（SRAMセルアレイ 5 3 a）へのデータの書込みまたは読出し処理を行なわせる。これによって、メモリテストモード時には、アドレス信号の 1 7 ビット目の値の如何に係らず、バンク A（SRAMセルアレイ 5 3 a）へのデータの書込みまたは読出しが行なわれる。

【 0 0 7 0 】

ワードドライバ 8 5 a は、OR回路 9 1 からの信号がアサートのとき、つまり、メモリテストモード時、または通常時でバンク A が選択されたときに、バンク A のワード線を活性化する。

【 0 0 7 1 】

制御回路 8 8 b は、SRAMセルアレイ 5 3 b へのデータの書込み、およびSRAMセルアレイ 5 3 b へのデータの読出しの制御を行なう。制御回路 8 8 b は、OR回路 9 0 からの信号がアサートで、かつOR回路 9 3 からの信号がアサートのとき、つまり、メモリテストモード時、または通常時でチップおよびバンク B が選択されたときにのみ、バンク B（SRAMセルアレイ 5 3 b）へのデータの書込みまたは読出し処理を行なわせる。これによって、メモリテストモード時には、アドレス信号の 1 7 ビット目の値の如何に係らず、バンク B（SRAMセルアレイ 5 3 b）へのデータの書込みまたは読出しが行なわれる。

【 0 0 7 2 】

ワードドライバ 8 5 b は、OR回路 9 3 からの信号がアサートのとき、つまり

、メモリテストモード時、または通常時でバンク B が選択されたときに、バンク B のワード線を活性化する。

【0 0 7 3】

再び、図 7 を参照して、ゲート回路 4 3 a, b と、アドレスデコーダ 1 3 a, b と、比較器 1 1 a, b と、エラーレジスタ 1 2 a, b と、トライステートバッファ 1 4 a, b とは、第 1 の実施形態と同様である。したがって、2 つのバンク A, B を含む半導体集積回路でも、メモリテストモード時には、2 つのバンクに対して、同時にテストデータの書込みおよび読出しを行なうことができる。

【0 0 7 4】

以上のように、本実施の形態に係る半導体集積回路によれば、複数のバンクを含むときでも、3 2 個のカラムのエラーの有無を示す 3 2 ビットのエラーデータがエラーレジスタ 1 2 a, b に保持されるので、回路の規模を大きくすることなく、冗長回路の数よりもエラーの回数が多い場合でも、エラーのあったメモリセルが含まれるカラムをすべて特定することができるテストを行なうことができる。

【0 0 7 5】

<第 3 の実施形態>

本実施の形態は、2 段階のテストを行なうメモリテストモード機能を有する半導体集積回路に関する。

【0 0 7 6】

(構成)

図 8 は、第 3 の実施形態に係る半導体集積回路の構成の概略を示す。同図を参照して、この半導体集積回路 3 0 0 は、CPU 3 6 と、プログラム回路 3 0 a, b と、ソフトヒューズレジスタ 3 9 a, b と、セレクト 3 8 a, b と、救済制御回路 8 1 a, b とを含む。

【0 0 7 7】

プログラム回路 3 0 a, b は、第 1 の実施形態で説明したものと同様であり、各ヒューズの設定状態に応じた救済コードを出力する。

【0 0 7 8】

ソフトヒューズレジスタ 3 9 a, b は、CPU 3 6 で生成された 6 ビットの救済コードが格納される。ソフトヒューズレジスタ 3 0 a, b には、初期値として 6' b 0 0 0 0 0 0 が保持されている。

【 0 0 7 9 】

セクタ 3 8 a, b は、プログラム回路 3 0 a, b から出力された救済コード、およびソフトヒューズレジスタ 3 9 a, b から出力された救済コードのいずれかを選択して、救済制御回路 8 1 a, b に出力する。

【 0 0 8 0 】

CPU (プロセッサ) 3 6 は、専用のテストプログラムにより、2 段階のテストを行なう。つまり、CPU 3 6 は、外部からのアドレス信号や制御信号に依拠することなく、専用のテストプログラムに従って、自らアドレス信号および制御信号を順次生成して、半導体集積回路 3 0 0 内の構成要素を制御することにより 2 段階のテストを行なう。

【 0 0 8 1 】

各段階のテストにおいて、CPU 3 6 は、モジュール A および B 内のすべてのワード線を順次立ち上げて、テストデータの書込みを行なわせた後、モジュール A および B 内のすべてのワード線を順次立ち上げて、テストデータの読出しを行なわせる。つまり、CPU 3 6 は、このようなテストデータの書込みおよび読出しに必要なすべての制御信号、およびアドレス信号を生成して、関連する構成要素に与える。

【 0 0 8 2 】

第 1 段階のテストでは、CPU 3 6 は、救済制御回路 8 1 a, b での救済処理は行なわせない。第 1 段階のテストの結果、エラーがなかったときには、CPU 3 6 は、救済を行なう必要がない旨を外部へ通知し、エラーがあったときには、CPU 3 6 は、その救済コードをソフトヒューズレジスタ 3 9 a, b に格納させる。

【 0 0 8 3 】

第 2 段階のテストでは、CPU 3 6 は、セクタ 3 8 a, b にソフトヒューズレジスタ 3 9 a, b から出力される救済コードを選択して救済制御回路 8 1 a,

bに出力させて、救済制御回路81a, bにおいて、この救済コードに応じたスペアセクタ制御信号を出力することにより、救済処理を行なわせる。第2段階のテストの結果、エラーがあったときには、CPU36は、救済は十分に行なわれなかった旨を外部へ通知し、エラーがなかったときには、その救済コードにより救済が十分に行なわれたことが確認されたので、CPU36は、救済コードを外部へ出力する。

【0084】

CPU36は、プログラム回路30a, bの各ヒューズ素子が、救済が十分に行なえると確認された救済コードを出力するように設定処理が行なわれた後は、モジュールA, Bへのデータの書込みおよび読出し時には、セクタ38a, bにプログラム回路30a, bから出力される救済コードを選択して救済制御回路81a, bに出力させ、救済制御回路81a, bにおいて、この救済コードに応じたスペアセクタ制御信号を出力させることにより、救済処理を行なわせる。

【0085】

(動作)

次に、図9に示すフローチャートを参照して、この半導体集積回路300の動作について説明する。

【0086】

まず、CPU36は、半導体集積回路300に第1段階のテストを行なわせる。すなわち、モジュールA, Bへテストデータを書込ませ、モジュールA, Bからテストデータを読出させる。この第1段階のテストでは、救済制御回路81a, bでの救済処理は行なわせない(ステップS200)。

【0087】

第1段階のテストの結果、エラーレジスタ12a, bで保持されたエラーデータがCPU36に送られ、CPU36は、救済コードを生成する。生成された救済コードが6'b0000000のとき、つまりエラーがなかったときには、CPU36は、救済を行なう必要がない旨を外部へ通知する(ステップS201、S207)。

【0088】

一方、生成された救済コードが6' b 0 0 0 0 0 0 以外するとき、つまりエラーがあったときには、CPU 3 6 は、その救済コードを対応するモジュールのソフトヒューズレジスタ3 9 a または3 9 b に格納させる（ステップS 2 0 1、S 2 0 2）。

【0 0 8 9】

次に、CPU 3 6 は、半導体集積回路3 0 0 に第2段階のテストを行なわせる。すなわち、モジュールA、Bへテストデータを書込ませ、モジュールA、Bからテストデータを読出させる。この第2段階のテストでは、CPU 3 6 は、セクタ3 8 a、bにソフトヒューズレジスタ3 9 a、bから出力される救済コードを選択して救済制御回路8 1 a、bに出力させる。救済制御回路8 1 a、bでは、この救済コードに応じたスペアセクタ制御信号を出力することにより、救済処理が行なわれる（ステップS 2 0 3）。

【0 0 9 0】

次に、第2段階のテストの結果、エラーレジスタ1 2 a、bで保持されたエラーデータがCPU 3 6 に送られ、CPU 3 6 は、救済コードを生成する。生成された救済コードが6' b 0 0 0 0 0 0 以外するとき、つまりエラーがあったときには、CPU 3 6 は、救済は十分に行なわれなかった旨を外部へ通知する（ステップS 2 0 4、S 2 0 7）。

【0 0 9 1】

一方、生成された救済コードが6' b 0 0 0 0 0 0 のとき、つまりエラーがなかったときには、その救済コードにより救済が十分に行なわれたことが確認されたので、CPU 3 6 は、救済コードを外部へ出力する（ステップS 2 0 5）。

【0 0 9 2】

そして、プログラム回路3 0 a、bの各ヒューズ素子が、この救済コードを出力するように設定処理が行なわれる。そして、これ以降のモジュールA、Bへのデータの書込みおよび読出し時には、CPU 3 6 は、セクタ3 8 a、bにプログラム回路3 0 a、bから出力される救済コードを選択して救済制御回路8 1 a、bに出力させる。救済制御回路8 1 a、bでは、この救済コードに応じたスペアセクタ制御信号を出力することにより、救済処理が行なわれる（ステップS

2 0 6)。

【0 0 9 3】

以上のように本実施の形態に係る半導体集積回路によれば、第1段階のテストの結果生成された救済コードをソフトヒューズレジスタ39a, bに格納させて、第2段階のテストで、このソフトヒューズレジスタ39a, b内の救済コードで救済が可能かどうかの確認を行ない、救済が可能と確認されてはじめて、プログラム回路30a, b内のヒューズ素子の設定処理を行なうので、ヒューズ素子を誤って切断するのを防止することができる。

【0 0 9 4】

<変形例>

本発明は、上記の実施形態に限定されるものではなく、たとえば以下の変形例も含まれる。

【0 0 9 5】

第1の実施形態では、2つのモジュール内のSRAMセルアレイのサイズが異なる場合について説明したが、2つのモジュール内のSRAMセルアレイのサイズが同一であってもよい。

【0 0 9 6】

また、第2の実施形態では、2つのバンク（SRAMセルアレイ）のサイズが同一である例について説明したが、これに限定するものではなく、2つのバンク（SRAMセルアレイ）のサイズが異なってもよい。異なる場合には、たとえば、第1の実施形態のように、サイズの小さいバンクの方に、アドレス信号の18ビット目と19ビット目が「00」のときのみ、読出しまたは書込み処理が行なわれ、アドレス信号の18ビット目と19ビット目が「01」のとき、「10」のとき、または「11」のときには、読出しまたは書込み処理が行なわれないようにするような回路が必要となる。

【0 0 9 7】

今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更

が含まれることが意図される。

【0098】

【発明の効果】

この発明に係わる半導体集積回路によれば、テストモード時に、活性化されたワード線に接続されている各メモリセルから読出されたデータの値と、各メモリから読出されるべき期待値とを、カラムごとに比較する比較器と、比較器による比較結果に基づくエラーデータを累積保持するエラーレジスタとを備え、エラーデータの各ビットは、対応するカラムについての比較器による比較結果を示し、各ビットは、前記対応するカラムについての比較結果がどのワード線を活性化したときでも常に等しいときには、第1の論理値をとり、対応するカラムについての比較結果が一度でも異なるときには、第2の論理値をとるので、回路の規模を大きくすることなく、冗長回路の数よりもエラーの回数が多い場合でも、エラーのあったメモリセルの位置（つまりどのカラムに含まれるか）をすべて特定したテストを行なうことができる。

【図面の簡単な説明】

- 【図1】 第1の実施形態に係る半導体集積回路の構成を示す図である。
- 【図2】 不良カラムと救済コードとの対応を示す図である。
- 【図3】 欠陥救済に関連する構成を示す図である。
- 【図4】 各ヒューズ素子の状態と救済コードのビットとの対応を示す図である。
- 【図5】 ヒューズ素子の状態とスペアセクタ制御信号との対応を示す図である。
- 【図6】 テスト動作に係る各種信号の時間変化を示す図である。
- 【図7】 第2の実施形態に係る半導体集積回路の構成を示す図である。
- 【図8】 第3の実施形態に係る半導体集積回路の構成の概略を示す図である。
- 【図9】 第3の実施形態におけるテスト処理の動作手順を示すフローチャートである。

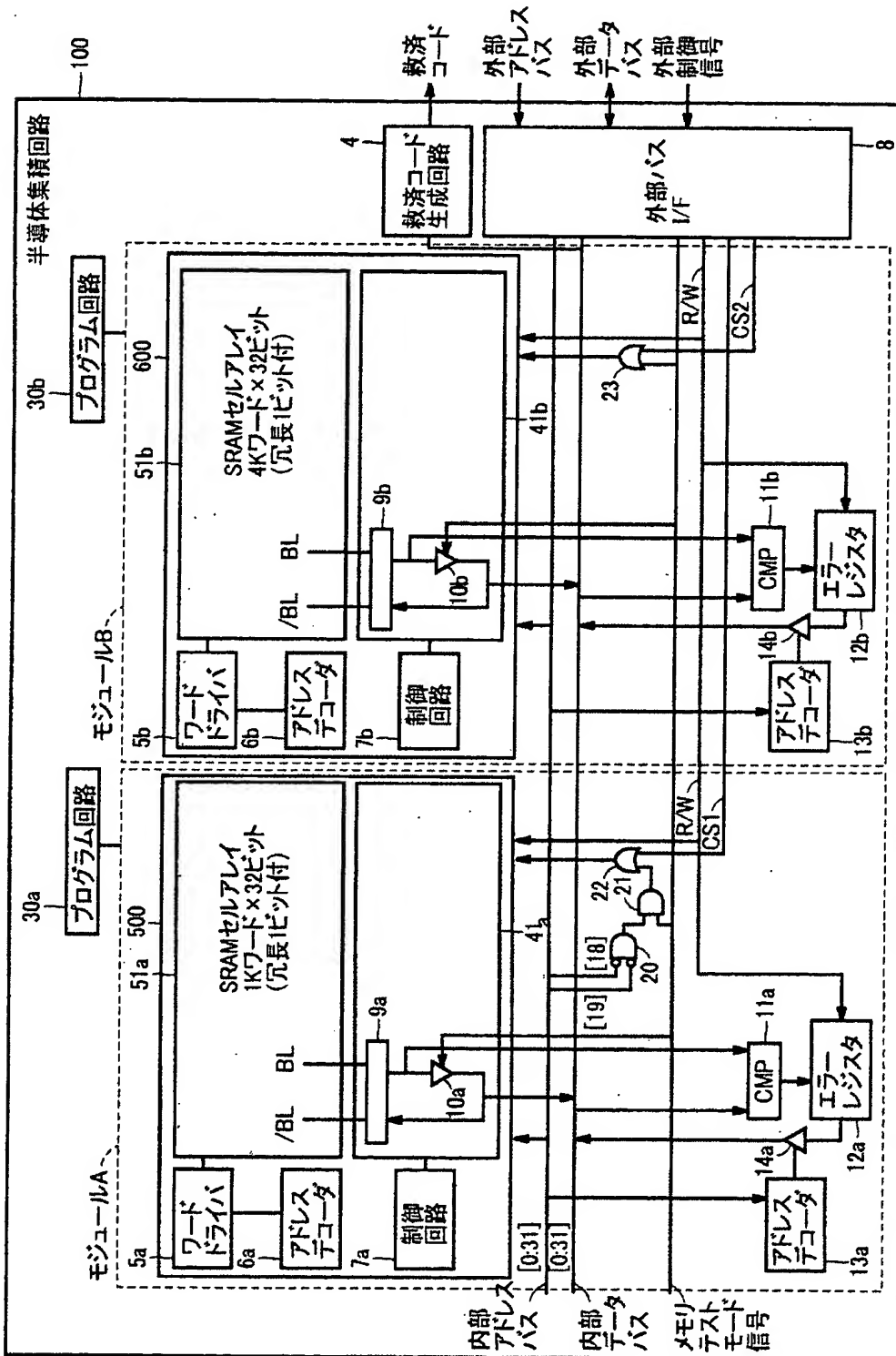
【符号の説明】

4 救済コード生成回路、5 a, 5 b, 85 a, 85 b ワードドライバ、6 a, 6 b、13 a, 13 b, 87 アドレスデコータ、7 a, 7 b, 88 a, 88 b 制御回路、8 外部バス I/F、9 a, 9 b 入出力回路、10 a, 10 b, 14 a, 14 b トライステートバッファ、11 a, 11 b 比較器、12 a, 12 b エラーレジスタ、20 NOR回路、21 AND回路、22, 23, 90, 91, 93 OR回路、92 インバータ、30 a, 30 b プログラム回路、31 a, 31 b デコーダ、36 CPU、35, 38 a, 38 b セレクタ、39 a, 39 b ソフトヒューズレジスタ、41 a, 41 b, 43 a, 43 b ゲート回路、51 a, 51 b, 53 a, 53 b SRAMセルアレイ、81 a, 81 b 救済制御回路、100, 200, 300 半導体集積回路。

【書類名】

図面

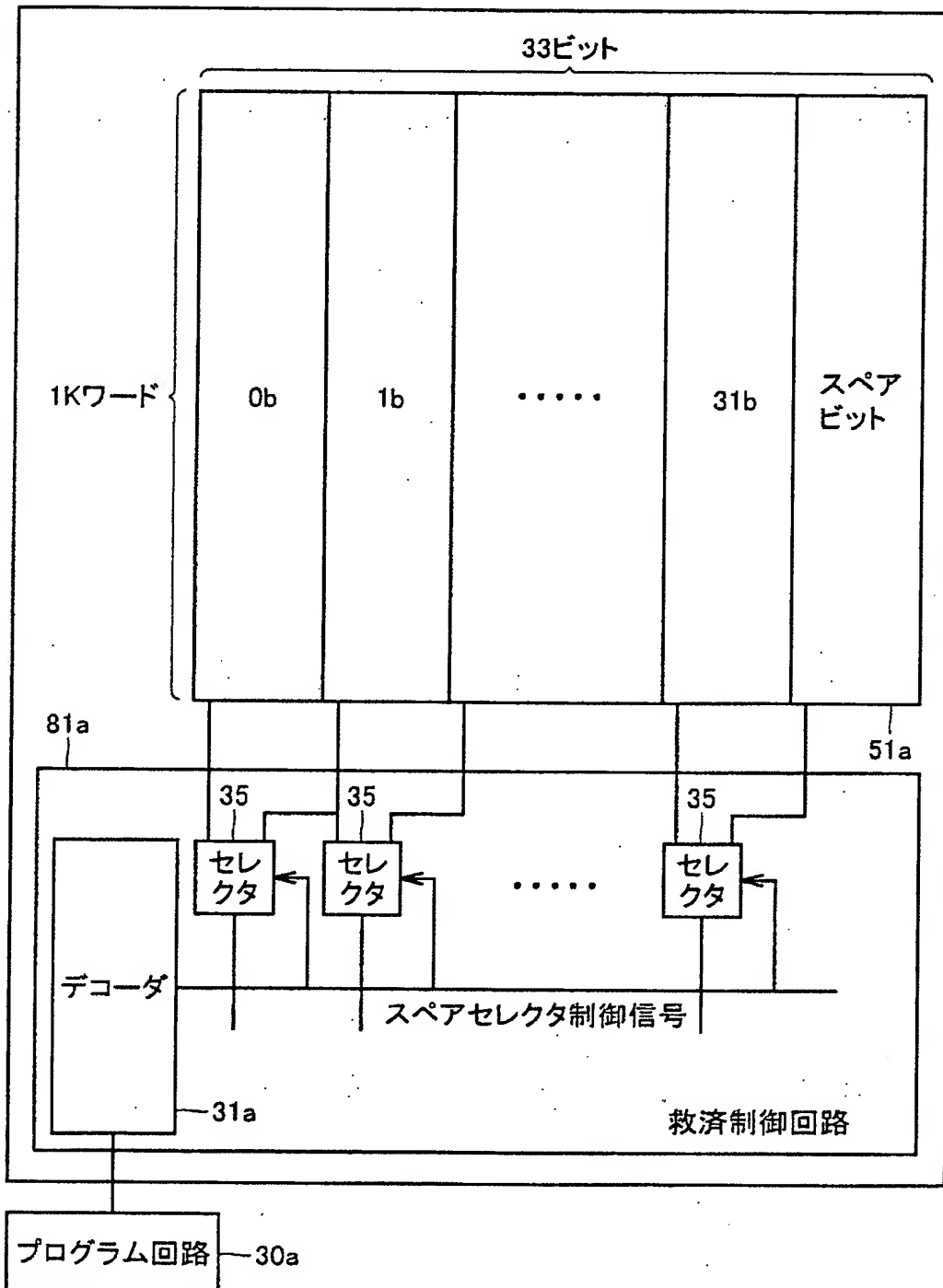
【図 1】



【図2】

不良 カラム	救済コード					
	C0	C1	C2	C3	C4	C5
なし	0	0	0	0	0	0
0	0	0	0	0	0	1
1	0	0	0	0	1	1
2	0	0	0	1	0	1
3	0	0	0	1	1	1
4	0	0	1	0	0	1
5	0	0	1	0	1	1
6	0	0	1	1	0	1
7	0	0	1	1	1	1
8	0	1	0	0	0	1
9	0	1	0	0	1	1
10	0	1	0	1	0	1
11	0	1	0	1	1	1
12	0	1	1	0	0	1
13	0	1	1	0	1	1
14	0	1	1	1	0	1
15	0	1	1	1	1	1
16	1	0	0	0	0	1
17	1	0	0	0	1	1
18	1	0	0	1	0	1
19	1	0	0	1	1	1
20	1	0	1	0	0	1
21	1	0	1	0	1	1
22	1	0	1	1	0	1
23	1	0	1	1	1	1
24	1	1	0	0	0	1
25	1	1	0	0	1	1
26	1	1	0	1	0	1
27	1	1	0	1	1	1
28	1	1	1	0	0	1
29	1	1	1	0	1	0
30	1	1	1	1	0	1
31	1	1	1	1	1	1

【図 3】



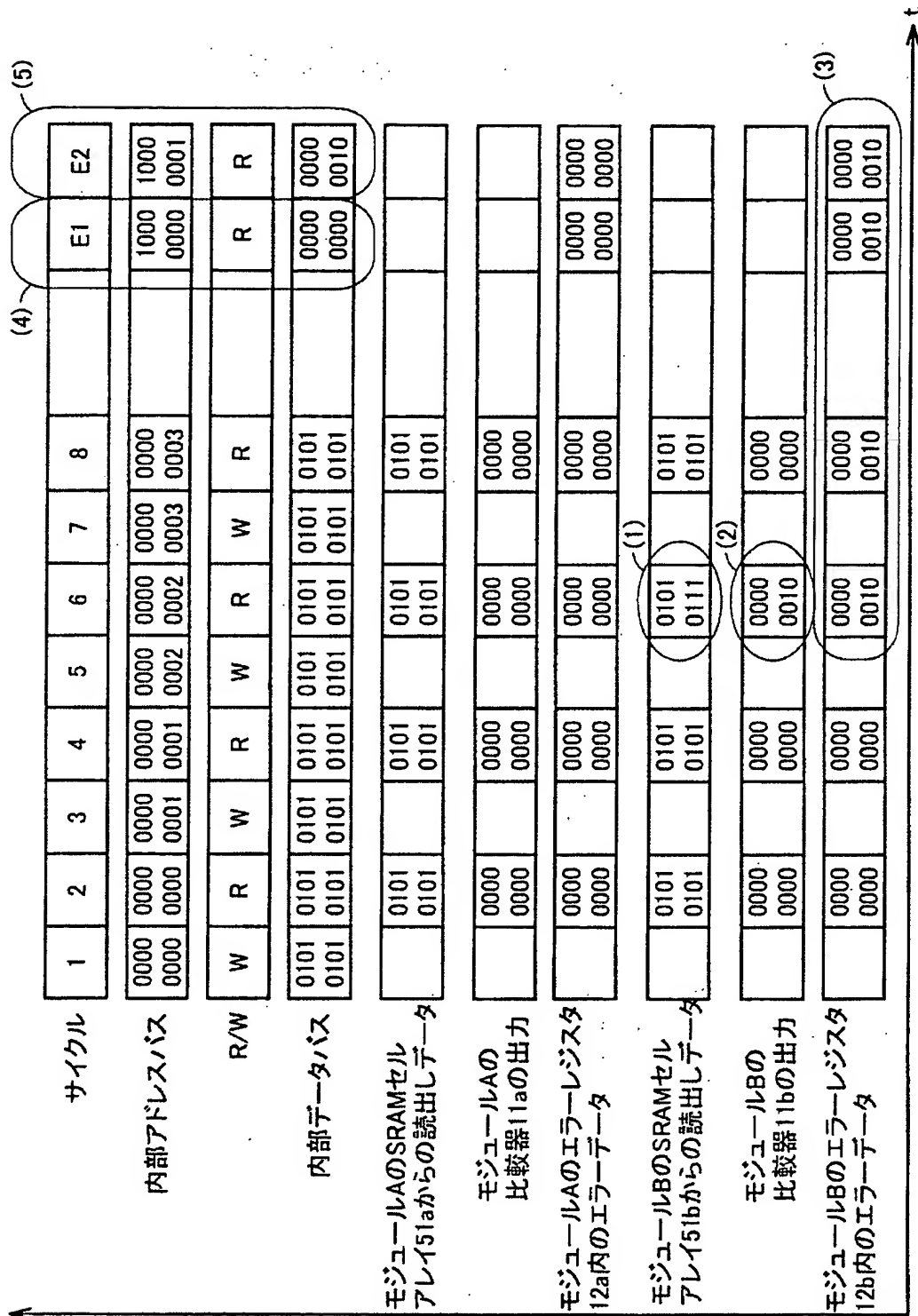
【図 4】

ヒューズ素子	救済コードビット
F0: 非切断 F0: 切断	C0=0 C0=1
F1: 非切断 F1: 切断	C1=0 C1=1
F2: 非切断 F2: 切断	C2=0 C2=1
F3: 非切断 F3: 切断	C3=0 C3=1
F4: 非切断 F4: 切断	C4=0 C4=1
F5: 非切断 F5: 切断	C5=0 C5=1

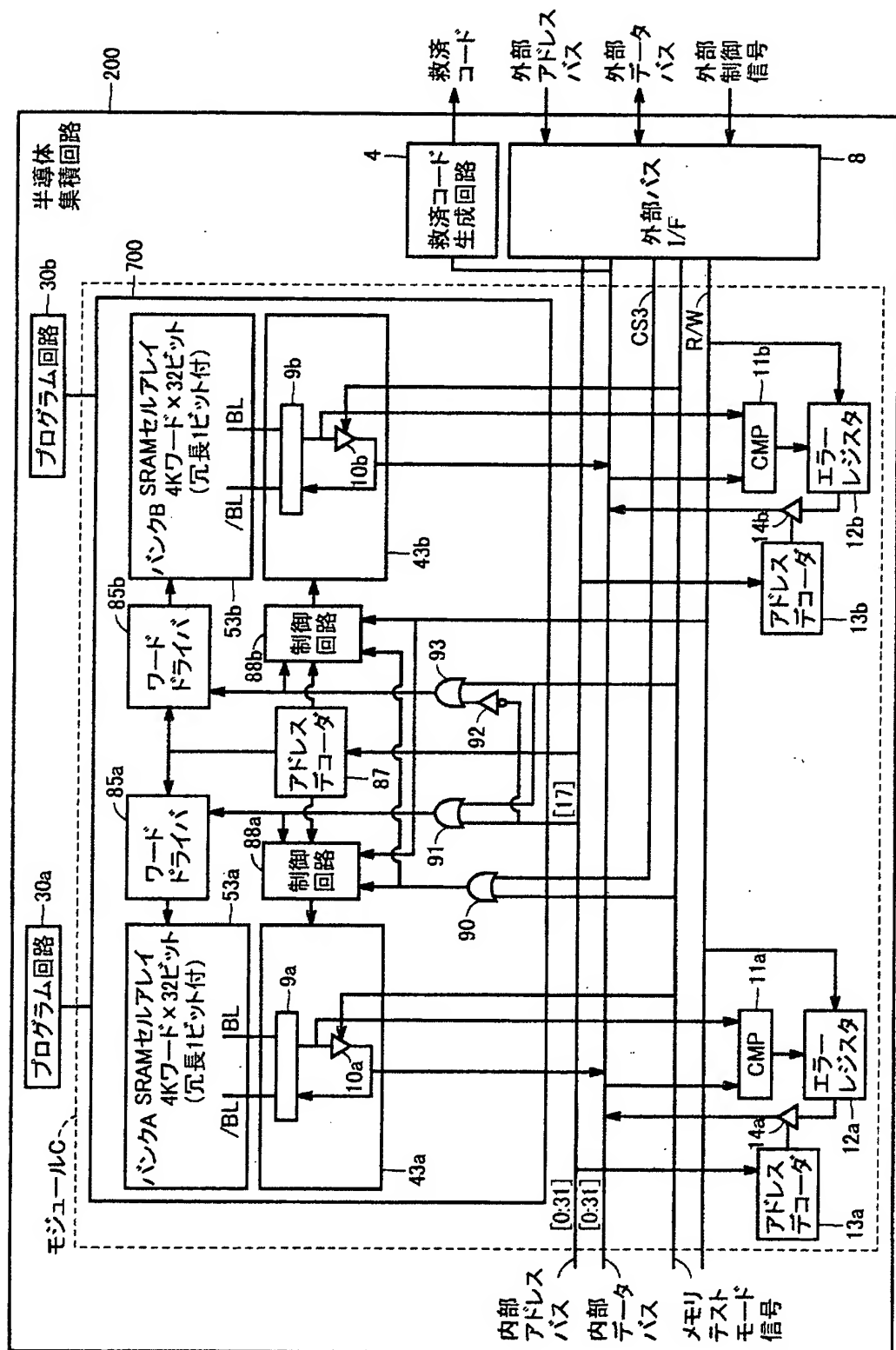
【図 5】

ヒューズ素子の状態 F0 F1 F2 F3 F4 F5							スペアセクタ制御信号[0:31] (スペアデコーダ出力値)							
0	0	0	0	0	0	0	0000	0000	0000	0000	0000	0000	0000	0000
0	0	0	0	0	0	1	1111	1111	1111	1111	1111	1111	1111	1111
0	0	0	0	0	1	1	0111	1111	1111	1111	1111	1111	1111	1111
0	0	0	0	1	0	1	0011	1111	1111	1111	1111	1111	1111	1111
0	0	0	0	1	1	1	0001	1111	1111	1111	1111	1111	1111	1111
0	0	0	1	0	0	1	0000	1111	1111	1111	1111	1111	1111	1111
0	0	0	1	0	1	1	0000	0111	1111	1111	1111	1111	1111	1111
0	0	0	1	1	0	1	0000	0011	1111	1111	1111	1111	1111	1111
0	0	0	1	1	1	1	0000	0001	1111	1111	1111	1111	1111	1111
0	1	0	0	0	0	1	0000	0000	1111	1111	1111	1111	1111	1111
0	1	0	0	0	1	1	0000	0000	0111	1111	1111	1111	1111	1111
0	1	0	0	1	0	1	0000	0000	0011	1111	1111	1111	1111	1111
0	1	0	0	1	1	1	0000	0000	0001	1111	1111	1111	1111	1111
0	1	0	1	0	0	1	0000	0000	0000	1111	1111	1111	1111	1111
0	1	0	1	0	1	1	0000	0000	0000	0111	1111	1111	1111	1111
0	1	0	1	1	0	1	0000	0000	0000	0011	1111	1111	1111	1111
0	1	0	1	1	1	1	0000	0000	0000	0001	1111	1111	1111	1111
1	0	0	0	0	0	1	0000	0000	0000	0000	1111	1111	1111	1111
1	0	0	0	0	1	1	0000	0000	0000	0000	0111	1111	1111	1111
1	0	0	0	1	0	1	0000	0000	0000	0000	0011	1111	1111	1111
1	0	0	0	1	1	1	0000	0000	0000	0000	0001	1111	1111	1111
1	0	0	1	0	0	1	0000	0000	0000	0000	0000	1111	1111	1111
1	0	0	1	0	1	1	0000	0000	0000	0000	0000	0111	1111	1111
1	0	0	1	1	0	1	0000	0000	0000	0000	0000	0011	1111	1111
1	0	0	1	1	1	1	0000	0000	0000	0000	0000	0001	1111	1111
1	0	1	0	0	0	1	0000	0000	0000	0000	0000	0000	1111	1111
1	0	1	0	0	1	1	0000	0000	0000	0000	0000	0000	0111	1111
1	0	1	0	1	0	1	0000	0000	0000	0000	0000	0000	0011	1111
1	0	1	0	1	1	1	0000	0000	0000	0000	0000	0000	0001	1111
1	0	1	1	0	0	1	0000	0000	0000	0000	0000	0000	0000	1111
1	0	1	1	0	1	0	0000	0000	0000	0000	0000	0000	0000	0111
1	0	1	1	0	1	1	0000	0000	0000	0000	0000	0000	0000	0011
1	0	1	1	1	0	1	0000	0000	0000	0000	0000	0000	0000	0001
1	0	1	1	1	1	1	0000	0000	0000	0000	0000	0000	0000	0001

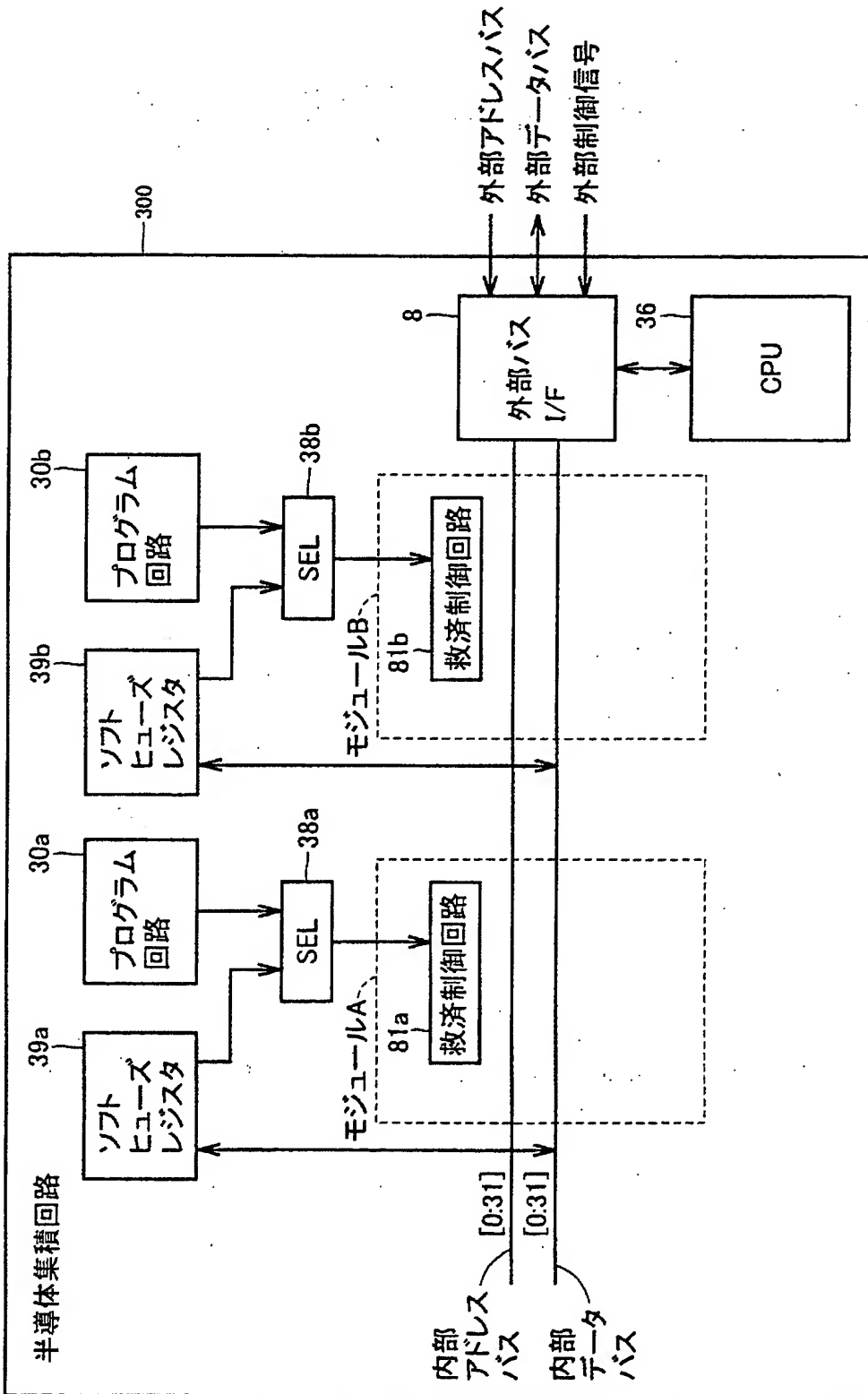
【図 6】



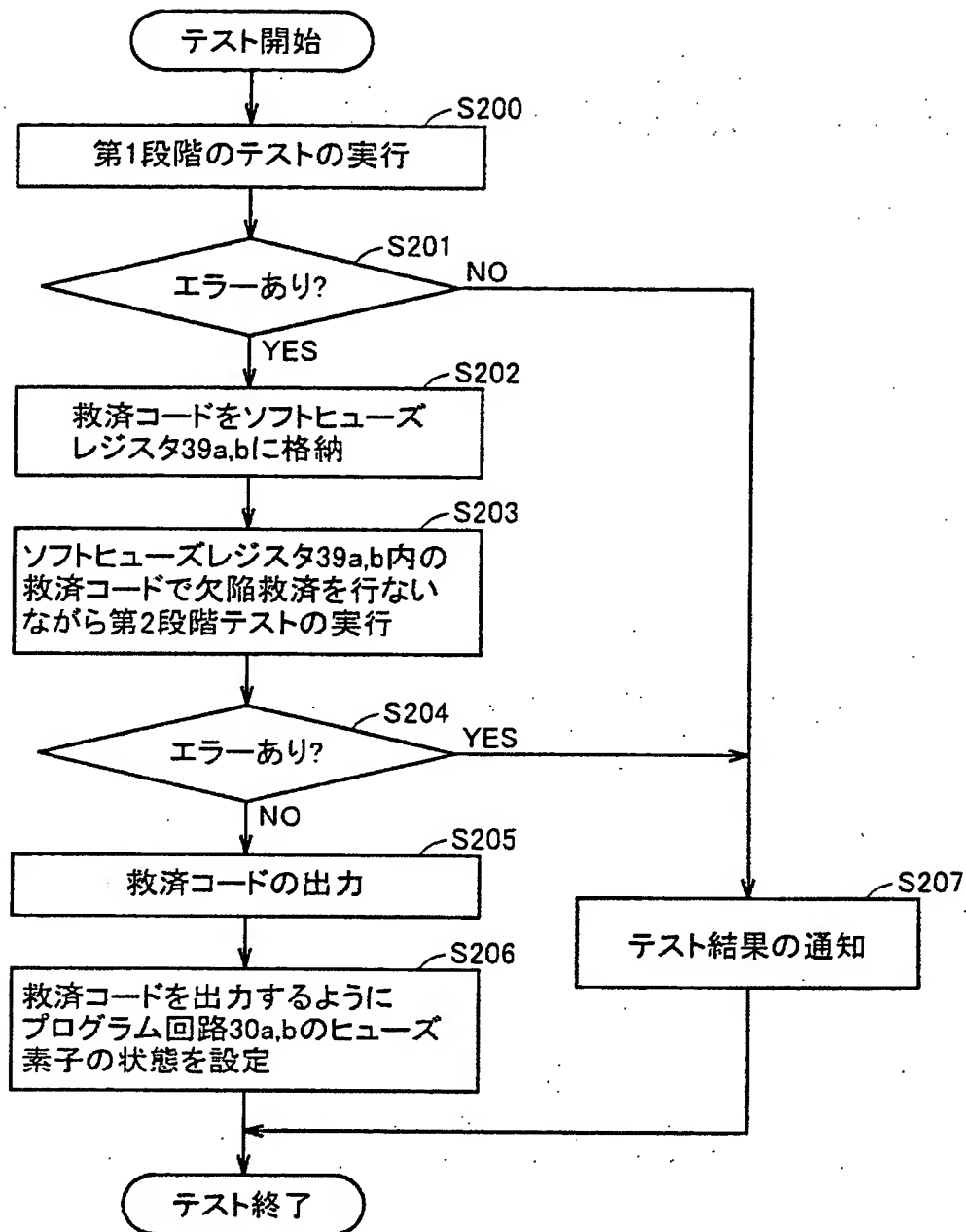
【図 7】



【図8】



【図9】



【書類名】 要約書

【要約】

【課題】 回路の規模を大きくすることなく、冗長回路の数よりもエラーの回数が多い場合でも、エラーのあったメモリセルの位置をすべて特定したテストを行なう半導体集積回路を提供する。

【解決手段】 テストモード時に、比較器 1 1 a, b は、活性化されたワード線に接続されている各メモリセルから読み出されたデータの値と、各メモリから読出されるべき期待値とを、カラムごとに比較する。エラーレジスタ 1 2 a, b は、比較器 1 1 a, b による比較結果に基づくエラーデータを保持する。エラーデータの各ビットは、対応するカラムについての比較器による比較結果を示す。この各ビットは、対応するカラムについての比較結果がどのワード線を活性化したときでも常に等しいときには、「0」となり、対応するカラムについての比較結果が一度でも異なるときには、「1」となる。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000006013]

1. 変更年月日	1990年 8月24日
[変更理由]	新規登録
住 所	東京都千代田区丸の内2丁目2番3号
氏 名	三菱電機株式会社